

DIALOG(R)File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

03446839 **Image available**

MANUFACTURE OF THIN-FILM SEMICONDUCTOR DEVICE

PUB. NO.: 03-109739 [JP 3109739 A]

PUBLISHED: May 09, 1991 (19910509)

INVENTOR(s): TANAKA HIROYUKI

APPLICANT(s): RICOH CO LTD [000674] (A Japanese Company or Corporation),
JP (Japan)

APPL. NO.: 01-248901 [JP 89248901]

FILED: September 25, 1989 (19890925)

INTL CLASS: [5] H01L-021/336; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1096, Vol. 15, No. 304, Pg. 149,
August 05, 1991 (19910805)

ABSTRACT

PURPOSE: To prevent thinning of a gate oxide film and deformation of a substrate by forming a second insulating layer after forming an interlayer insulating film at a material layer for a gate electrode and then by forming a source/drain region by ion implantation and diffusion, leaving a second insulating layer on the side surface of a gate electrode part.

CONSTITUTION: An active layer 2 is formed on an insulating substrate 1 and then a gate oxide film 3 which is a first insulating layer is formed. A polycrystalline silicon layer 4 is allowed to grow on it, and insulating layer 5 is formed, accumulated in the form of an oxide film, and then an insulating layer 5 and a polycrystalline silicon 4 are subjected to anisotropic etching. A second insulating layer 6 is formed on it, an anisotropic etching is performed, an insulating layer is formed on the side wall of the gate, the gate insulation is completed, and then ions are implanted for preventing the implantation region of impurities from entering the inside from the gate edge part, thus preventing the substrate from being deformed and the film thickness of the gate oxide film from becoming thin at the edge.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-109739

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)5月9日

H 01 L 21/336
29/784

9056-5F H 01 L 29/78 311 Y

審査請求 未請求 請求項の数 1 (全1頁)

⑮ 発明の名称 薄膜半導体装置の製造

⑯ 特 願 平1-248901

⑰ 出 願 平1(1989)9月25日

⑱ 発 明 者 田 中 浩 行 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 ⑲ 出 願 人 株式会社リコー 東京都大田区中馬込1丁目3番6号
 ⑳ 代 理 人 弁理士 友松 英爾

明 細 書

1. 発明の名称

薄膜半導体装置の製造

2. 特許請求の範囲

1. 絶縁基板上にシリコンよりなる活性層を形成後、シリコン層全面に第1の絶縁層であるゲート酸化膜を形成し、ついでゲート電極用材料層を形成し、その上に熱酸化によらない方法により層間絶縁膜を形成した後、ホトリソ、異方性エッチングによりゲート電極部を形成し、ついで、その上に熱酸化によらない方法で、第2の絶縁層を形成し、ホトリソ、異方性エッチングによりゲート電極部の側面にのみ第2の絶縁層を覆し、その後、イオン打込、拡散によりソース・ドレイン領域を形成することを特徴とする薄膜半導体装置の製造法。

1. 発明の詳細な説明

(技術分野)

本発明は、SOI型薄膜半導体装置の製造法に

関する。

(従来技術)

従来、ポリシリコンゲートMOS型半導体装置においては、ゲート酸化後ゲート電極となるポリシリコンに先づ比抵抗を下げるために不純物を拡散した後パターンニングし、その後ポリシリコンをマスクとしてソース・ドレインとなる部分に不純物を拡散し、その後ポリシリコンを絶縁するために酸化してポリシリコン上に酸化膜を形成する。

この際ポリシリコン上に成長した酸化膜は必ずしも一様な厚さにはならず、特にポリシリコンの端でゲート酸化膜と接している部分においては極端に酸化膜が厚くなることが知られている。

他方、集積回路においては、通常上記ポリシリコンゲートの端にはソース・ドレイン等に接続される他のポリシリコン配線やA₁配線が形成されるから、これら配線とゲートポリシリコン電極の間の電気的耐圧を電源電圧に比べて充

分大きくとる必要がある。従って上記の如く、ゲートポリシリコン上に形成されたシリコン酸化層がゲートポリシリコンよりゲート酸化層と異なる部分で薄くなっている。この部分における露出が低下してしまうという大きな障害が生じる。

このようなゲート酸化層露出の増大を防止する技術として特開第33-7357号がある。この技術はゲート電極をポリシリコンで形成し、これを酸化して第2の酸化層を形成し、この第2の酸化層をポリシリコンの表面のみ覆すようにしたものである。

しかしながら、このようにすると、活性層の上に形成する酸化層と、前記第2の酸化層の形成のために2度わたって熱酸化が必要となる。とくに、第2の酸化層はその厚みを大きくする必要がある(1μm以上)ので、この強度の大きな厚みの層を熱酸化法により形成すると、基板変形の大きな原因となることが判明した。

一方、従来から高濃度化のためゲート電極を

できるだけ小さくすることが試みられているが、その結果チャンネル長が短くなり、パルスルー特性の低下等の現象、すなわちショートチャンネル効果が発生する。そこで特開第33-34955号ではゲート上に挟方向にひびきの出た酸化マスクを形成することを提案している。

しかしながら、このような挟方向にひびきの出た酸化マスクは、不純物拡散工程終了後には、剥離になるので焼結する必要が生じてしまう。

(目 的)

本発明の目的は、基板に変形を生じないでS-O(異接合半導体装置)を製造する方法に關する。

また本発明のもう一つの目的は、ゲート酸化層がその露出において露出が薄くなることのないように保護層を形成し、かつこの保護層を除去する必要がないようにする点にある。

さらに本発明の他の目的は、ショートチャンネル効果を防止する点にある。

(構 成)

本発明は、絶縁基板の上にシリコンよりなる活

性層を形成後、シリコン層全面に第1の絶縁層であるゲート酸化層を形成し、ついでゲート電極用材料層を形成し、その上に熱酸化によらない方法により層間絶縁膜を形成した後、ホトリソ、異方性エッチングによりゲート電極部を形成し、ついで、その上に熱酸化によらない方法で、第2の絶縁層を形成し、ホトリソ、異方性エッチングによりゲート電極部の側面にのみ第2の絶縁層を覆し、その後、イオン打込、拡散によりソース・ドレイン領域を形成することを特徴とする異接合半導体装置の製造方法に關する。

前記シリコンよりなる活性層は、多結晶シリコンやアモルファスシリコンなど任意の異接合半導体材料が使用できる。

前記層間絶縁膜や第2の絶縁層に使用される材料は窒化シリコン、 SiO_2 、 SiO 、等、異方性エッチングが可能な材料であれば公知の絶縁層用の材料のいずれでもが使用できる。

また、その成膜方法はCVD、スパッタリングなど公知の方法が使用できる。

異方性エッチング(Anisotropic Etching)を行うには、RIE(Reactive Ion Etching)法など公知の手段が採用できる。

なお、前記ゲート酸化層も、必ずしも熱酸化により形成された酸化層である必要はなく、ゲート絶縁膜として機能するものであれば、CVD法やスパッタリング法で形成してもよい。

図面に基づいて本発明をさらに詳しく説明する。

第1図に示すように、

- (a) 石英等の絶縁基板1上にCVD法等により多結晶シリコンやアモルファスシリコン等の膜を成長させ(約300Å)活性層2を形成する。
- ・活性層、例えば多結晶シリコンを熱酸化することにより第1の絶縁層であるゲート酸化膜3を形成する。
- ・その上にCVD法等によりゲート電極及び配線となる多結晶シリコン層4を成長させ(約1000Å)、さらに絶縁層5を430

て層状の状態でシリコンにより酸化膜の形で堆積させて形成する(約3000Å)。

なお、前記シリコン層にかえてスパッタリングによることもできる。

(b) ゲート配線パターンをフォトリソグラフィ工程によって形成し、次に第2層によって絶縁層(層間絶縁層)5、多結晶シリコン4を異方性エッチングする。

(c) (b)の上にてシリコン、スパッタリング等により第2の絶縁層を酸化シリコン等で形成する(約1μm)。

(d) (c)で得られたものを異方性エッチングにより異方性エッチングを行い、ゲート絶縁に絶縁層を形成する。以上によりゲートの絶縁が完了し、この後にイオン注入を行うことによって、不純物の注入領域がゲート絶縁部より内側にはいりこまないようにすることができ、

(e) (d)で得られたものを熱拡散させると第1図(e)に示す製品となる。かくしてゲート

ト巾1、とチャンネル長1、はほぼ等しくなり、従来のように1、>1、となることはない。

なお、第1図(b)の工程において、ゲート下の絶縁膜以外の絶縁膜を除去しておく、活性層と配線(アルミ配線等)8とのソース・ドレイン部7でのコンタクトが、コンタクトホールを形成することなしに行うことができる(第2図)。

第3図に多結晶シリコンの場合、各温度で30分拡散を行ったときのリンの拡方向拡散長と拡散温度との関係を示す。ゲート絶縁の絶縁膜の厚さが1μmであれば、拡散温度900度で30分の拡散を行えばよい。

(効果)

本発明の方法によりゲート酸化膜の漏れを防止すると同時に基板のそりなどの変形をおこさないようにすることができた。加えて、ゲート配線パターンの側面、上面にのみ絶縁膜を形成しているので新たに層間絶縁膜を設ける必要がない。

い。

また、第2図に示したようにゲート下以外のゲート絶縁膜3を除去しておくことによって、コンタクトホールを形成することなしに活性層のソース・ドレイン7と配線8とのコンタクトをとることができた。

その結果全体として工程を減らし、ソース・ドレインのコンタクトに関して、プロセスマージンを大きくすることができ、

さらに、第1図(d)、(e)に示したようにイオン注入を行った際の不純物イオンの注入領域7はゲート絶縁部よりも外側になる(第1図(d)参照)。

これを熱拡散することによってゲート電圧1、とチャンネル長1、をほぼ一致させることができた(第1図(e)参照)。

かくして、チャンネル長の短い逆型トランジスタにおける拡方向拡散によるソース・ドレインのリーク、ショートチャンネル効果を抑制することができ、高集積化が可能となった。

4. 図面の簡単な説明

第1図(a)～(e)は、本発明方法の具体的工程図をシリコン半導体装置の断面図として示すものである。

第2図は、本発明方法の変形例を説明するためのものであり、第2図(a)は得られたシリコン半導体装置の断面図、第2図(b)は配線状態を示す上面図である。

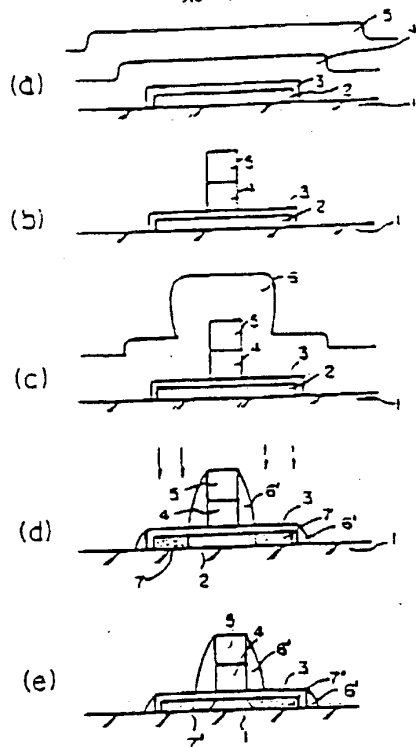
第3図は、多結晶シリコン層を30分間熱拡散処理した場合の拡方向拡散長と拡散温度との関係を示す。

- 1…絶縁基板
- 2…活性層
- 3…ゲート絶縁膜(第1の絶縁層)
- 4…多結晶シリコン
- 5…層間絶縁膜
- 6…第2の絶縁層
- 7…不純物イオン注入領域
- 7'…ソース・ドレイン領域
- 8…配線

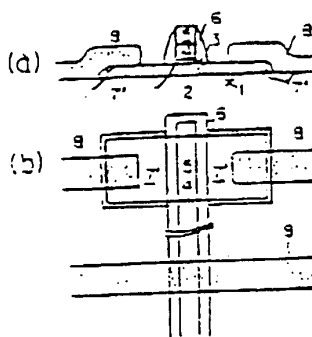
特許出願人 株式会社 リコー
代理人 弁護士 友松 英 昭



第1図



第2図



第3図

